

Docket No.: P-0239

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Woon Jin JUNG

New U.S. Patent Application

Filed: August 31, 2001

For: JITTER REDUCING APPARATUS USING DIGITAL MODULATION
TECHNIQUE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. 51112/2000, filed August 31, 2000

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
David W. Ward
Registration No. 45,198

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: August 31, 2001

DYK/DWW : tmd



CERTIFIED COPY OF
PRIORITY DOCUMENT

10978 U.S. PRO
09/942638
08/31/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

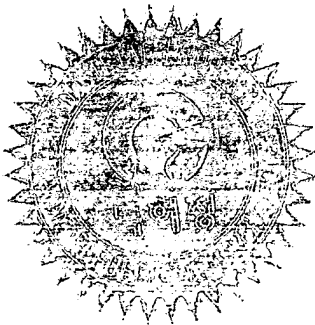
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 51112 호
Application Number

출원 년 월 일 : 2000년 08월 31일
Date of Application

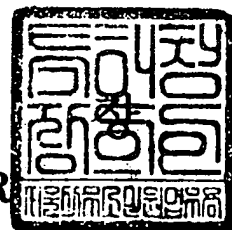
출원인 : 엘지정보통신주식회사
Applicant(s)



2000 년 11 월 07 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2000.08.31		
【발명의 명칭】	변조기법을 이용한 지터 감소 장치		
【발명의 영문명칭】	jitter reduction apparatus utilize modulation techniques		
【출원인】			
【명칭】	엘지정보통신주식회사		
【출원인코드】	1-1998-000286-1		
【대리인】			
【성명】	홍성철		
【대리인코드】	9-1998-000611-7		
【포괄위임등록번호】	1999-053412-7		
【발명자】			
【성명의 국문표기】	정운진		
【성명의 영문표기】	JUNG,WOON JIN		
【주민등록번호】	680217-1235610		
【우편번호】	441-460		
【주소】	경기도 수원시 권선구 금곡동 79 54/7 삼익3차 아파트 307-301호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 홍성철 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	5	항	269,000 원
【합계】	298,000		원

【요약서】**【요약】**

본 발명은 SDH 망에서 PDH 신호를 추출시에 발생하는 지터에 관한 것으로, 보다 상세하게는 변조 기법을 이용하여 패러럴 방식으로 디지털 ASIC 구현을 하도록 한 변조기법을 이용한 지터 감소 장치에 관한 것이다.

본 발명 변조 기법을 이용한 지터 감소 장치의 실시예는, SDH(Synchronous Digital Hierarchy) 프레임 상의 간격 데이터를 저장하는 버퍼와, 상기 버퍼의 WAD[4:0]와 RAD[4:0]를 비교하여 패턴 발생기를 제어하는 위상 레벨 검출기와, 입력되는 간격 WD[7:0]를 상기 버퍼로부터 읽게될때 균일한 분포를 유지하고, 상기 위상 레벨 검출기에 의하여 읽기 패턴을 생성하는 패턴 발생기와, 상기 버퍼로부터 변조된 데이터를 아날로그 PLL을 사용하여 필터링시 데이터를 저장하는 PLL 버퍼와, 상기 PLL 버퍼의 위상차를 검출하여 아날로그 PLL의 LPF(Low Pass Filter)를 제어하여 PLL 록(lock) 상태를 유지하는 위상 비교기와, 상기 위상 비교기의 위상 제어신호에 의하여 입력되는 제어신호의 고주파 성분을 제거하고 저주파 성분만을 검출하여 전압제어발진기(VCO)의 주파수를 가변하며, PLL의 록(lock) 상태를 유지시키는 아날로그 PLL과, 상기 위상 레벨 검출기를 변조하는 변조 시퀀서를 포함하여 구성됨이 바람직하다.

【대표도】

도 2

【명세서】

【발명의 명칭】

변조기법을 이용한 지터 감소 장치{jitter reduction apparatus utilize modulation techniques}

【도면의 간단한 설명】

도 1 은 종래의 지터 감소 장치의 구성도.

도 2 는 본 발명 지터 감소 장치의 구성도.

도 3 은 본 발명에 적용되는 변조 시퀀서의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|----------------|---------------|
| 1 : 버퍼 | 2 : 한계 레벨 검출기 |
| 2a : 위상 레벨 검출기 | 3 : 패턴 발생기 |
| 4 : PLL 버퍼 | 5 : 위상 비교기 |
| 6 : 아날로그 PLL | 7 : 변조 시퀀서 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 SDH 망에서 PDH 신호를 추출시에 발생하는 지터에 관한 것으로, 보다 상세하게는 변조 기법을 이용하여 패러럴 방식으로 디지털 ASIC 구현을 하도록 한 변조기법을 이용한 지터 감소 장치에 관한 것이다.

<10> 도 1 에 도시된 바와같이 버퍼(1), 한계(threshold) 레벨 검출기(2), 패턴 발생기

(3), PLL 버퍼(4), 위상 비교기(5)로 구성된 디지털부와, 아날로그 PLL(Phase Locked Loop)부(LPF 및 전압제어 발진기)(6)로 구성된다.

<11> SDH(Synchronous Digital Hierarchy) 망으로부터 입력되는 PDH 신호는 입력되기 전에 SDH 경로 단말기 장치에 의하여 SDH에서 필요로 하는 오버헤드 및 제어 데이터는 모두 제거된 후 간격 포맷의 순수한 PDH 데이터(WD[7:0] & WEN)만이 입력되어 버퍼(1)에 저장된다.

<12> 버퍼(1)에 저장된 데이터는 패턴 발생기(3)에 의하여 버퍼(1)로부터 읽게(read)되는데, 읽게되는 패턴은 버퍼(1)로 입력되는 데이터가 버스트(burst) 패턴인 반면에 읽기 데이터는 시간대별로 균일한 데이터의 분포를 갖는 패턴으로 읽혀진다.

<13> 상기 패턴 발생기(3)는 위상 레벨 검출기(2)에 의하여 제어되는데, 위상 레벨 검출기(3)는 버퍼(1)의 WAD(Write Address)와 RAD(Read Address)의 오프셋(offset) 값을 비교하여 패턴 발생기(3)를 제어한다.

<14> 상기 패턴 발생기(3)에 의하여 읽어진 데이터(RD[7:0] & REN)는 PLL 버퍼(4)에 저장된 후 위상 비교기(5) 및 아날로그 PLL(6)에 의하여 최종 PDH 신호가 복원된 후 축(coax) 케이블이나 비틀림(twisted) 케이블을 통하여 PDH 전송 네트워크로 송출된다.

<15> 이와 같이 버퍼(1)에서 데이터의 읽기 주기를 제어함에 있어 단순히 WAD[4:0]와 RAD[4:0]의 오프셋만으로 하기 때문에 버퍼(1)에 입력되는 데이터(WD[7:0] & WEN)의 간격 효과가 그대로 PLL부로 전달되어 PDH신호의 지터가 증가하므로 데이터의 에러를 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <16> 따라서, 본 발명은 종래의 문제점을 해결하고자 창안된 것으로서, 변조 기법을 이용하여 패러럴 방식으로 디지털 ASIC 구현을 하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 이하, 첨부도면을 참조하여 본 발명에 따른 바람직한 실시 예에 대하여 상세히 설명한다.
- <18> 본 발명 변조 기법을 이용한 지터 감소 장치의 실시예는,
- <19> SDH(Synchronous Digital Hierarchy) 프레임 상의 간격 데이터를 저장하는 버퍼(1)와;
- <20> 상기 버퍼(1)의 WAD[4:0]와 RAD[4:0]를 비교하여 패턴 발생기(3)를 제어하는 위상 레벨 검출기(2a)와;
- <21> 입력되는 간격 WD[7:0]를 상기 버퍼(1)로부터 읽게될때 균일한 분포를 유지하고, 상기 위상 레벨 검출기(2)에 의하여 읽기 패턴을 생성하는 패턴 발생기(3)와;
- <22> 상기 위상 레벨 검출기(2a)를 변조하는 변조 시퀀서(7)와;
- <23> 상기 버퍼(1)로부터 변조된 데이터를 아날로그 PLL(6)을 사용하여 필터링시 데이터를 저장하는 PLL 버퍼(4)와,
- <24> 상기 PLL 버퍼(4)의 위상차를 검출하여 아날로그 PLL(6)의 LPF(Low Pass Filter)를 제어하여 PLL 록(lock) 상태를 유지하는 위상 비교기(5)와;
- <25> 상기 위상 비교기(5)의 위상 제어신호에 의하여 입력되는 제어신호의 고주파 성분을 제거하고 저주파 성분만을 검출하여 전압제어발진기(VCO)의 주파수를 가변하며, PLL

의 록(lock) 상태를 유지시키는 아날로그 PLL(6)과;

- <26> 상기 위상 레벨 검출기(2a)를 변조하는 변조 시퀀서(7);를 포함하여 구성됨이 바람직하다.
- <27> 상기 버퍼(1)는 32 depth * 8 width 로 구성됨이 바람직하다.
- <28> 상기 PLL 버퍼(4)는 8 depth * 8 width 로 구성됨이 바람직하다.
- <29> 상기 아날로그 PLL(6)은 LPF와 전압제어발진기(VCO)로 구성됨이 바람직하다.
- <30> 상기 패턴 발생기의 읽기 패턴은 77~90 또는 78~90 의 범위로 생성됨이 바람직하다.
- <31> 도 2 는 본 발명 지터 감소 장치의 구성도이고, 도 3 은 본 발명에 적용되는 변조 시퀀서의 타이밍도로써, 이를 참조하여 설명하면 다음과 같다..
- <32> 버퍼(1), 위상 레벨 검출기(2), 패턴 발생기(3), 변조 시퀀서(7), PLL 버퍼(4), 위상 비교기(5)로 구성된 디지털부와, 아날로그 PLL부(LP F 및 전압제어 발진기)(6)로 구성된다.
- <33> 상기 버퍼(1)는 SDH 프레임 상의 간격 데이터를 저장하고, 32 depth, 8 width로 구성하며, 상기 위상 레벨 검출기(2)는 버퍼(1)의 WAD[4:0]와 RAD[4:0]를 비교하여 패턴 발생기(3)를 제어하는데, 이때 변조 시퀀서(7)에 의해서 변조되어 패턴 발생기(3)를 제어한다.
- <34> 상기 패턴 발생기(3)는 입력되는 간격 WD[7:0]를 버퍼(1)로부터 읽게될 때 균일한 분포를 유지하도록 하는 플래튼(flatten)기능을 하며, 위상 레벨 검출기(2)에 의하여 77~90 또는 78~90 읽기 패턴을 생성한다.

- <35> 상기 변조 시퀀서(7)는 위상 레벨 검출기(2)를 변조하는 기능을 수행하고, PLL 버퍼(5)는 버퍼(1)로부터 변조된 데이터를 아날로그 PLL(6)을 사용하여 필터링하는데, 이때 데이터를 저장하는 기능을 하며 8 depth, 8 width로 구성된다.
- <36> 상기 위상 비교기(5)는 위상 검출기로서 PLL 버퍼(4)의 위상차를 검출하여 아날로그 PLL(6)의 LPF(Low Pass Filter)를 제어하여 PLL 록(lock) 상태를 유지하는 기능을 하고, 아날로그 PLL(6)은 차동증폭기(OP AMP, LPF)와 전압제어발진기(VCO)로 구성되며, 위상 비교기(5)의 위상 제어신호에 의하여 입력되는 제어신호의 고주파 성분은 제거하고 저주파 성분만을 검출하여 VCO의 주파수를 가변하고 PLL의 록 상태를 유지시켜주는 기능을 한다.
- <37> 도 2 에 도시된 바와같이 SDH 망으로부터 입력되는 PDH 신호는 입력되기 전에 SDH 경로 단말기 장치에 의하여 SDH에서 필요로 하는 오버헤드 및 제어 데이터는 모두 제거된 후 간격 포맷의 순수한 PDH 데이터(WD[7:0] & WEN)만이 입력되어 버퍼(1)에 저장된다.
- <38> 버퍼(1)에 저장된 데이터는 패턴 발생기(3)에 의하여 버퍼(1)로부터 읽게(read)되는데, 읽게되는 패턴은 버퍼(1)로 입력되는 데이터가 버스트(burst) 패턴인 반면에 읽기 데이터는 시간대별로 균일한 데이터의 분포를 갖는 스무스 패턴으로 읽혀진다.
- <39> 상기 패턴 발생기(3)는 위상 레벨 검출기(2)에 의하여 제어되는데, 위상 레벨 검출기(3)는 종래에는 버퍼(1)의 WAD(Write Address)와 RAD(Read Address)의 오프셋(offset) 값을 비교하여 패턴 발생기(3)를 제어한 반면에 본 발명에서는 변조 시퀀서(4)를 부가하여 주기적으로 진폭이 일정한 변조 주파수를 발생하고 이를 위상 레벨 검출기(2)에 인가한다.

<40> 즉, 종래에는 WAD(Write Address)와 RAD(Read Address)만을 샘플링하여 패턴을 생성한데 반하여 본 발명에서는 WAD와 RAD를 샘플링 한 후 이를 변조 시퀀서(7)를 사용하여 디지털적으로 변조한 결과 값으로 패턴 발생기(3)를 제어한다.

<41> 상기 변조 시퀀서(7)는 16진 분주기로써 입력되는 신호로는 6.48MHz 클록, 8KHz 프레임 펄스가 필요하고 16진 분주기를 통하여 출력되는 신호로는 변조 진폭에 해당하는 변조값 MODVAL[1:0]과 네가티브 또는 포지티브로 변조할지를 결정하는 MODSLOPE 신호로 구성된다.

<42> 변조 시퀀서(7)로부터 출력되는 변조 주파수는 입력되는 프레임 펄스의 16 주기마다 1 변조 사이클로 형성하며, 변조 주파수는 8KHz를 16 분주한 500Hz의 대역폭을 갖는다. 따라서 변조 시퀀서(7)로 출력되는 MODSLOPE 신호가 변조방향(네가티브 또는 포지티브)을 결정하는데, 그 비율은 50:50을 반복적으로 수행하며 그 주기가 500Hz의 주파수 값을 갖는다.

<43> 상기 변조 시퀀서(7)로부터 출력되는 변조 진폭은 입력되는 프레임 펄스의 1주기마다 그 값이 과거값으로부터 1이 증가하거나 감소하는데, 프레임 펄스의 처음 4주기 동안에는 역으로 3에서부터 0까지 스텝으로 증가하고 다음 두번째 4주기 동안에는 역으로 3에서부터 0까지 스텝으로 감소하며, 이때 MODSLOPE 신호는 0값을 유지한다(포지티브 변조).

<44> 연속적으로 프레임 펄스의 세번째 4주기 동안에는 그 값이 다시 0에서 3까지 스텝으로 증가하고, 마지막 네번째 4주기 동안에는 역으로 3에서 0까지 스텝으로 감소하여 총 16 프레임 펄스 주기를 형성하며, 세번째 및 네번째 4주기 동안의 MODSLOPE 신호는 1값을(네가티브 변조) 유지하여 1 모듈 사이클을 마치게 된다.

- <45> 변조 시퀀서(7)는 동작을 반복적으로 수행하여 변조 패턴을 생성하도록 구성되며, 주파수 및 진폭에 대한 도식은 도 3에 제시되어 있다.
- <46> 상기 변조 시퀀서(7)에 의하여 변조된 버퍼 레벨 제어신호는 패턴 발생기(3)를 구동하고, 결국 변조 주파수 500Hz에 변조된 PDH 데이터를 버퍼(1)로부터 읽은 후 이 데이터를 PLL 버퍼(5)에 저장한다. 이때 SDH 망으로부터 유기되는 대부분의 저주파수 지터 성분들은 500Hz의 고주파 성분으로 대역 이동하게 된다.
- <47> PLL 버퍼(5)에 저장된 후 데이터는 아날로그 PLL(7)에 의하여 다시한번 플레튼 과정을 거치게 되는데, 여기서 사용되는 아날로그 PLL(7)은 저대역 특성을 가지며, PLL 대역이 20Hz 이하이므로 본 발명에서 제안한 변조 시퀀서(7)를 사용하면 대부분의 지터 성분이 필터링되어 복원된 최종 PDH 신호의 지터를 감소시킬 수 있고 또한 지터로 인한 PDH 데이터의 에러율을 줄일 수 있다.
- <48> 이와 같이 하여 최종 PDH 신호가 복원된 후 종래와 동일한 방식으로 축(coax) 케이블이나 비틀림(twisted) 케이블을 통하여 PDH 전송 네트워크로 송출된다.

【발명의 효과】

- <49> 이상에서 설명한 바와 같이 본 발명에 의하면, 디지털 회로만으로 구현하기 때문에 FPGA나 ASIC으로 구현시 쉽게 적용 및 응용함으로써 원가를 절감할 수 있으며, 또한 고품질의 서비스가 가능하다.

【특허청구범위】**【청구항 1】**

SDH(Synchronous Digital Hierarchy) 프레임 상의 간격 데이터를 저장하는 버퍼와;

상기 버퍼의 WAD[4:0]와 RAD[4:0]를 비교하여 패턴 발생기를 제어하는 위상 레벨 검출기와;

입력되는 간격 WD[7:0]를 상기 버퍼로부터 읽게될때 균일한 분포를 유지하고, 상기 위상 레벨 검출기에 의하여 읽기 패턴을 생성하는 패턴 발생기와;

상기 버퍼로부터 변조된 데이터를 아날로그 PLL을 사용하여 필터링시 데이터를 저장하는 PLL 버퍼와;

상기 PLL 버퍼의 위상차를 검출하여 아날로그 PLL의 LPF(Low Pass Filter)를 제어하여 PLL 록(lock) 상태를 유지하는 위상 비교기와;

상기 위상 비교기의 위상 제어신호에 의하여 입력되는 제어신호의 고주파 성분을 제거하고 저주파 성분만을 검출하여 전압제어발진기(VCO)의 주파수를 가변하며, PLL의 록(lock) 상태를 유지시키는 아날로그 PLL과;

상기 위상 레벨 검출기를 변조하는 변조 시퀀서를 포함하여 구성된 것을 특징으로 하는 변조 기법을 이용한 지터 감소 장치.

【청구항 2】

제 1 항에 있어서, 상기 버퍼는 32 depth * 8 width 로 구성된 것을 특징으로 하는 변조 기법을 이용한 지터 감소 장치.

【청구항 3】

제 1 항에 있어서, 상기 PLL 버퍼는 8 depth * 8 width 로 구성된 것을 특징으로 하는 변조 기법을 이용한 지터 감소 장치.

【청구항 4】

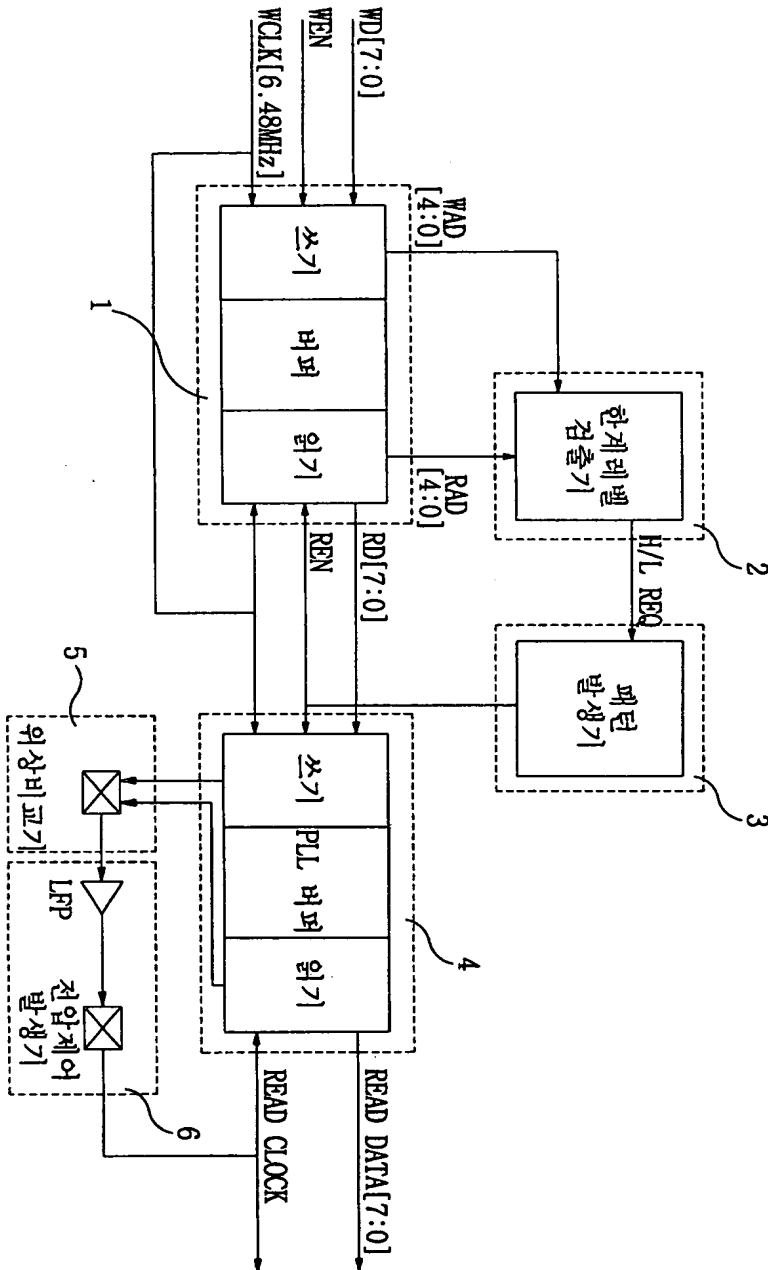
제 1 항에 있어서, 상기 아날로그 PLL은 LPF와 전압제어발진기(VCO)로 구성된 것을 특징으로 하는 변조 기법을 이용한 지터 감소 장치.

【청구항 5】

제 1 항에 있어서, 상기 패턴 발생기의 읽기 패턴은 77~90 또는 78~90 의 범위로 생성됨을 특징으로 하는 변조 기법을 이용한 지터 감소 장치.

【도면】

【도 1】



The diagram illustrates a memory system (1) with the following components and signals:

- External Signals:**
 - FRAME** and **WCLK[6, 48MHz]** are inputs to the **변조 시퀀서** (Modulation Sequencer).
 - MODVAL[1:0]** and **MODSLOPE** are inputs to the **위상레벨 검출기** (Phase Level Detector).
 - RD[7:0]** is an input to the **패턴 발생기** (Pattern Generator).
- Internal Blocks:**
 - Block 2a:** Contains the **위상레벨 검출기** (Phase Level Detector).
 - Block 3:** Contains the **패턴 발생기** (Pattern Generator).
 - Block 4:** Contains a **쓰기 버퍼** (Write Buffer), **PLL 버퍼** (PLL Buffer), and **읽기** (Read) section.
- Internal Signals:**
 - WAD[4:0]** and **RAD[4:0]** are signals between the write/read buffers and the phase level detector.
 - RD[7:0]** is a signal between the read buffer and the pattern generator.
 - REN** is a signal between the read buffer and the PLL buffer.
 - READ DATA[7:0]** and **READ CLOCK** are outputs from the read buffer.
- External Receivers (Block 6):**
 - Inputs: **위상비교기** (Phase Comparator), **LPF** (Low Pass Filter), and **전압제어 발생기** (Voltage Control Generator).
 - Output: **WEN** (Write Enable) signal to the write buffer.
- Other Signals:**
 - WD[7:0]** and **WCLK[6, 48MHz]** are inputs to the write buffer.
 - 쓰기** (Write) signal is input to the write buffer.

【도 3】

